

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-103718

(43)Date of publication of application : 14.05.1987

(51)Int.CI.

G05F 1/10

(21)Application number : 60-245128

(71)Applicant : SHARP CORP

(22)Date of filing : 30.10.1985

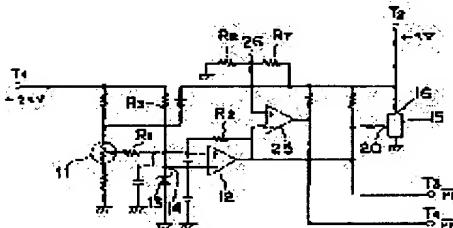
(72)Inventor : YOKOYAMA TATSUO

(54) ELECTRIC FEED DETECTING CIRCUIT

(57)Abstract:

PURPOSE: To make the structure of an electric feeding detecting circuit extremely simple and small in size by deciding a wired-OR logic decision between the outputs of the 1st and the 2nd voltage comparators and detecting the state in which both outputs of a DC power source are outputted properly.

CONSTITUTION: A variable resistor 11 for voltage division which is connected between an input terminal T1 and the ground divides a high-voltage output to be detected into a voltage which is compared and decided suitably by the 1st voltage comparator 12. The plus input terminal of the 1st voltage comparator 12 constituted by using an operational amplifier is connected to the variable resistor 11 through a resistance R1 and positive feedback is provided through the output terminal of the comparator 12 and a resistance R2. The minus input terminal, on the other hand, is connected to the connection point 14 between a resistance R3 and a Zener diode 13 connected between the input terminal T1 and ground to constitute what is call Schmitt circuit. This constitution outputs a signal 'H' when the high-voltage output to be detected is lower than a reference voltage determined by the Zener diode 13 or the 1st PF (power failure) detection level, but outputs an inverted signal 'L' when not.



THIS PAGE BLANK (USPTO)

⑱ 公開特許公報 (A) 昭62-103718

⑲ Int.Cl.

G 05 F 1/10

識別記号

301

庁内整理番号

A-7319-5H

⑳ 公開 昭和62年(1987)5月14日

審査請求 未請求 発明の数 1 (全6頁)

㉑ 発明の名称 給電検出回路

㉒ 特願 昭60-245128

㉓ 出願 昭60(1985)10月30日

㉔ 発明者 横山辰男 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ㉕ 出願人 シャープ株式会社 大阪市阿倍野区長池町22番22号
 ㉖ 代理人 弁理士青山葆 外1名

明細書

1. 発明の名称

給電検出回路

2. 特許請求の範囲

(1) 比較的高圧の安定化電圧および低圧の安定化電圧を出力する直流電源から負荷への給電状態を検出する給電検出回路において、

上記高圧出力を検出しつつ分圧する分圧器、

上記分圧器から高圧出力を表わす検出電圧を受け、該検出電圧が予め定められた第1基準レベルを超えたかどうかを判別する第1電圧比較器、及び

上記低圧出力を検出し、該検出電圧が予め定められた第2基準レベルを超えたかどうかを判別する第2電圧比較器を備え、

上記第1および第2電圧比較器の両出力端子を接続して両出力のワイヤード論理決定信号を給電検出信号として出力するようにしたことを特徴とする給電検出回路。

(2) 第1電圧比較器をシュミットトリガー回

路を用いて形成した特許請求の範囲第1項に記載の給電検出回路。

3. 発明の詳細な説明

産業上の利用分野

この発明は直流電源の給電検出回路、詳しくは直流電源の定電圧出力の負荷への給電状態を検出する給電検出回路に関する。

従来背景

電子制御装置用の直流電源として、該制御装置の主回路に比較的高圧の+24Vの一定電圧、その周辺のディジタルIC(集積回路)等に低圧の+5Vの一定電圧を供給するようにしたものがある。

一般に、この種の直流電源の両出力電圧は印加される負荷インピーダンスの容量成分に応じてその立上り・立下りが異なる。このため、当該直流電源をONとし、電子制御装置の主回路の演算処理回路に+24Vを印加して所定の制御シーケンスを開始したとき、周辺のディジタルICに印加された低圧が所定の+5Vに立上っていない状態

が生じ、当該制御装置が誤動作するという危険性がある。

これに対し、従来、例えば第1図に1点接線で囲んで示すような給電状態を表わす給電検出信号 \overline{PF} を発生する給電検出回路5が公知である。

第1図において、商用交流電源1から電源スイッチ2、整流器3およびシリーズレギュレータ4を介して出力端子 T_{11} に図示しない電子制御装置の主回路用の比較的高圧の+24Vが、もう1つの出力端子 T_{12} に図示しないデジタルIC用の低圧の+5Vが出力されるようになっている。

給電検出回路5は上記交流電源1と接続したトランジスタ6、該トランジスタ6の2次側出力端子と接続した整流器7、電圧比較器8-1~8-3およびキャパシタ(C)と抵抗(R)とから成るCR回路9から構成される。各電圧比較器8-1~8-3の一方の入力端子に上記直流電源装置の低圧出力電圧が印加される一方、CR回路9の時定数が上記低圧出力端子 T_{12} に接続されるデジタルIC等の負荷インピーダンスに見合わせて適宜に設定さ

解決しようとする課題

この発明は上記問題点に鑑みてなされたもので、比較的高圧および低圧の2種類の直流定電圧を負荷に印加する直流電源の出力状態を検出するにあたり、分圧器および第1電圧比較器を用いて高圧出力が所定レベル以上であるかどうかを示す2値化信号を得るとともに、第2電圧比較器を用いて低圧出力が所定レベル以上であるかどうかを示す2値化信号を得、第1および第2電圧比較器の出力端子を接続することによりこれらの電圧比較器からの出力をワイヤード論理決定するようにして、当該直流電源の両出力電圧が共に実質的に規定レベル以上であることを示す給電信号を発生するようにした簡単な構成、小型かつ製作コストが安価である給電検出回路を提供することを目的とする。

以下に、この発明を一実施例を示す添付図面とともに説明する。

実施例

第2図に、この発明の一実施例の給電検出回路

れる。この構成により、給電検出回路5の出力端子 T_{11} には当該直流電源装置がONとされた際、出力端子 T_{12} に規定レベル以上の約+5Vの電圧が出力されていることを示す給電検出信号 \overline{PF} が出力されるようになっている。

ところで、上記従来形式の給電検出回路5によれば、所定の低圧出力電圧(+5V)が実質的に出力されている期間、即ち当該低圧出力の立ち上がりおよび立ち下り過渡期間を除外した規定レベル以上の約+5Vが出力されている期間を示す給電検出信号 \overline{PF} が得られるが、この給電検出回路5は構成が非常に複雑、大型でありかつ製作コストが高価であるという欠点があった。

また、上記給電検出信号 \overline{PF} は高圧出力(+24V)に関しては単に当該直流電源がON又はOFFであるかを示すのみであり、出力端子 T_{11} に規定レベル以上の高圧出力が出力されているかどうかは不明であり、特に負荷がマイクロプロセッサ等を含む電子制御装置である場合、誤動作を発生する危険性が高く、不便であった。

10を示す。

なお、この給電検出回路10の2つの入力端子 T_1 と T_2 には、それぞれ図示しない直流電源装置の比較的高圧の出力(+24V)と該高圧出力を公知の図示しない3端子レギュレータを介して得られた低圧出力(+5V)が印加される。

第2図において、 T_1 は入力端子 T_1 とアース間に接続された分圧用可変抵抗器で、検出対象の高圧出力を後述の第1電圧比較器1-2により比較判別を行なうのに適当な電圧に分圧する。

1-2は演算増幅器を用いて構成した第1電圧比較器である。この第1電圧比較器1-2の正入力端子は抵抗 R_1 を介して上記可変抵抗器1-1と接続するとともに、当該比較器1-2の出力端子と抵抗 R_2 を介して接続して正帰還する一方、負入力端子は入力端子 T_2 とアース間に接続された抵抗 R_3 とツエナーダイオード1-3との接続点1-4と接続し、いわゆるシュミット回路を構成している。この構成により、正入力端子に入力される検出対象の高圧出力がツエナーダイオード1-3により定ま

る基準電圧又は第1PF(停電)検出レベル以下のときは信号“H”を出力する一方、該基準電圧を越えると反転信号“L”を出力する。なお、第1電圧比較器12の出力が切り換わった直後に、抵抗R₁およびR₂で定まる当該シュミットトリガレベルのヒステリシス幅の範囲内で変動しようと元の状態が保持される。例えば、今、検出高圧出力が上記基準電圧を越えて出力が“H”から“L”に切り換わり、その直後に該検出電圧が上記ヒステリシス幅内で減少したとしても、当該電圧比較器12の出力は“H”に保持される。これに反対に“L”から“H”に切り換わった場合、上述したと同様に検出信号の増大分が上記ヒステリシス幅の範囲内の大きさであれば当該電圧比較器12の出力は“H”に保持される。このようにして、検出電圧の変動に基づく第1電圧比較器12の判別信号の振動、いわゆるチャタリング現象を有効に抑制される。

15はシステムリセットIC(集積回路)を用いた第2電圧比較器である。以下に、この第2電

であるときは、第1電圧比較器12およびリセットIC15の出力がともに“L”、したがって上記高圧出力および低圧出力が共に所定レベル(第1および第2PFレベル)以上であり、電圧+2.4Vおよび+5Vがともに実質的に各負荷に印加された状態にあることを示す。

25は演算増幅器を用いた第3電圧比較器である。この第3電圧比較器25の正入力端子は当該給電検出回路10の低圧側入力端子T₂とアース間に接続された抵抗R₃およびR₄の接続点26と接続する一方、負入力端子は上記第1電圧比較器12の出力端子と接続している。この構成により、第3電圧比較器25の出力端子と接続された当該給電検出回路10の出力端子T₃に、概略、上記信号PFを反転したPF信号が出力される。

次に、上記構成の給電検出回路10の動作を第4図に出力電圧波形図とともに説明する。

いま、図示しない直流電源がONとされ、該直流電源からマイクロコンピュータ内蔵の電子制御装置(図示しない)の主回路に比較的高圧(+2.4

V)の定電圧出力が、該制御装置の容量性の高い周辺デジタルICに低圧(+5V)の定電圧出力が印加されるとする。この時点をt₁で示す。

なお、低圧出力は高圧出力を公知の図示しない3端子レギュレータを介して出力されるようになっている。

第1電圧比較器12の出力端子とリセットIC15の出力端子20とはリード線を介して接続され、この接続点の出力端子T₁は第1電圧比較器12の出力とリセットIC15の出力とのワイヤードオア論理回路を形成する。この構成により出力端子T₁には、第1電圧比較器12の出力とリセットIC15の出力とのオア論理決定した結果が出力される。この出力端子T₁の出力が“H”

V)の定電圧出力が、該制御装置の容量性の高い周辺デジタルICに低圧(+5V)の定電圧出力が印加されるとする。この時点をt₁で示す。

なお、低圧出力は高圧出力を公知の図示しない3端子レギュレータを介して出力されるようになっている。

上記直流電源の高圧出力、即ち当該給電検出回路10の入力端子T₁への印加電圧を第4図(a)に示す一方、低圧出力、即ち当該給電検出回路10の入力端子T₂への印加電圧を第4図(e)に示す。

入力端子T₁から可変抵抗器11および抵抗R₁を介して第1電圧比較器12の正入力端子に入力された高圧出力を表わす検出信号が定電圧ダイオードD₃により定められた所定の第1PF検出レベル(+2.4Vより若干低く定められる)を越えると、この第1電圧比較器12の出力は反転増幅されて“L”信号を出力する。この時点をt₂で示す。

一方、時点t₁において、リセットIC15の入力端子16に印加された低圧出力を表わす検出

信号は定電圧ダイオード17により定められる所定の第2PF検出レベル(+5Vより若干低く設定される)を下回っており、よってリセットIC15のトランジスタ18および19はオフとされ、このリセットIC15の出力は“H”とされる。この様子を第4図(f)に示す。

上記第1電圧比較器12の出力端子とリセットIC15の出力端子とは結線され、ワイヤード・オア論理回路を形成している。よって、期間 $t_1 \sim t_2$ において第1電圧比較器12の出力“L”とリセットIC15の出力“H”とのワイヤード・オア論理決定の結果、当該給電検出回路10の出力は“L”とされる。

その後、上記低圧出力が第2PF検出レベルを越えると、リセットIC15のトランジスタ18および19がオンとされ、よってリセットIC15の出力は“L”とされる。この時点を t_2 とし、リセットIC15の出力の様子を第4図(f)に示す。したがって、第1電圧比較器12の出力“L”とリセットIC15の出力“L”とのワイヤー

信号PFが“H”とされる期間は、当該直流電源の高圧出力および低圧出力がともに規定レベル以上とされ、負荷に適正な給電が行なわれていることを表わす。

なお、給電検出回路10の第3電圧比較器25により、概略、上記PF信号を反転した給電出力状態を示す検出信号PFが得られ、この信号PFを第4図(h)に示す。

上記給電検出信号PFを、例えば電子制御装置の中央演算処理回路のリセット、該装置のメモリ回路の保護又は電源の停電状態の指示等に用いる一方、上記信号PFを上記中央演算処理回路のリセット又は電池バックアップ指令等に用いることにより、当該電子制御装置の誤動作を有効に最小限に抑制することができる。

また、上記直流電源の低圧側負荷の容量成分が小さい、いわゆる軽容量性負荷である場合における給電検出回路10の各構成部分における出力電圧波形を第5図(a)～(h)に示す。この場合の給電検出回路10の動作は上述した重い容量性負荷

ド・オア論理決定の結果、当該給電検出回路10の出力は“H”とされる。

その後、時点 t_2 において、当該直流電源がOFFとされ、時点 t_3 において高圧出力が第1PF検出レベルを下回り、よって第1電圧比較器12の出力は“H”に切り換えられる。この時点 t_3 において低圧出力は第2PF検出レベル以上の状態であり、よってリセットIC15の出力は“L”とされる。したがって、第1電圧比較器12の出力“H”とリセットIC15の出力“L”とのワイヤード・オア論理決定の結果、当該給電検出回路10の出力は“L”に切り換わる(第4図(f)参照)。

次いで、時点 t_3 において、低圧出力が第2PF検出レベルを下回ると、リセットIC15の出力が“H”に切り換わり、上述したワイヤード論理決定の結果、当該給電検出回路10の出力は“L”とされる(第4図(f)参照)。

第4図(a)～(f)から明らかなように、当該給電検出回路10の出力の給電状態を示す給電検出

である場合と同様に行なわれ、その説明を省略する。

効 果

以上に説明したことから明らかのように、この発明によれば分圧器および第1電圧比較器により直流電源からの比較的高圧の出力が規定レベル以上であるかどうかを判別するとともに第2電圧比較器により低圧出力が規定レベル以上であるかどうかを判別し、第1および第2電圧比較器の出力をワイヤード論理決定して当該直流電源の両出力がともに適正に出力されている状態を検出するようとしたから、従来形式の給電検出回路におけるように多くの電圧比較器、CR回路を要することなく構造が非常に簡単かつ小型であり、製作コストが安価なものにすることが出来る。

なお、第1電圧比較器をシュミット回路とすることにより検出信号の変動に基づく検出結果のチャタリングを有効に阻止して当該直流電源から負荷への適正な給電を確実に行なうことができる。

4. 図面の簡単な説明

第1図は従来の直流電源の給電検出回路図、第2図はこの発明に係る直流電源の給電検出回路図、第3図は第2図の給電検出回路に適用できる第2電圧比較器のリセットICの詳細な回路図、第4図および第5図はそれぞれ重および軽容量性負荷に対する給電時における第2図の給電検出回路の各構成部分の出力電圧波形図である。

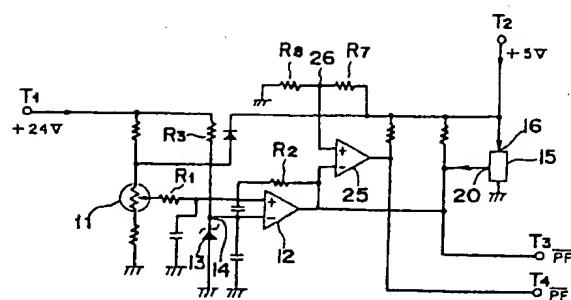
5…従来の給電検出回路、10…本発明の給電検出回路、11…可変抵抗器、12…第1電圧比較器、13…第1PF検出レベル設定用ツエナーダイオード、15…リセットIC(第2電圧比較器)、17…第2PF検出レベル設定用ツエナードダイオード、

T₁…高圧入力端子、T₂…低圧入力端子、T₃、T₄…給電検出信号出力端子。

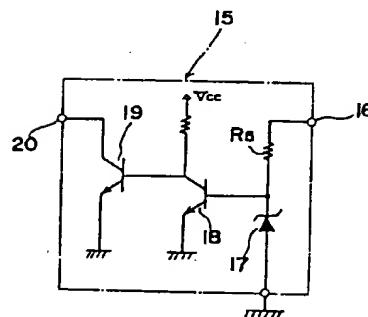
特許出願人 シャープ株式会社

代理人 弁理士 青山 葵ほか1名

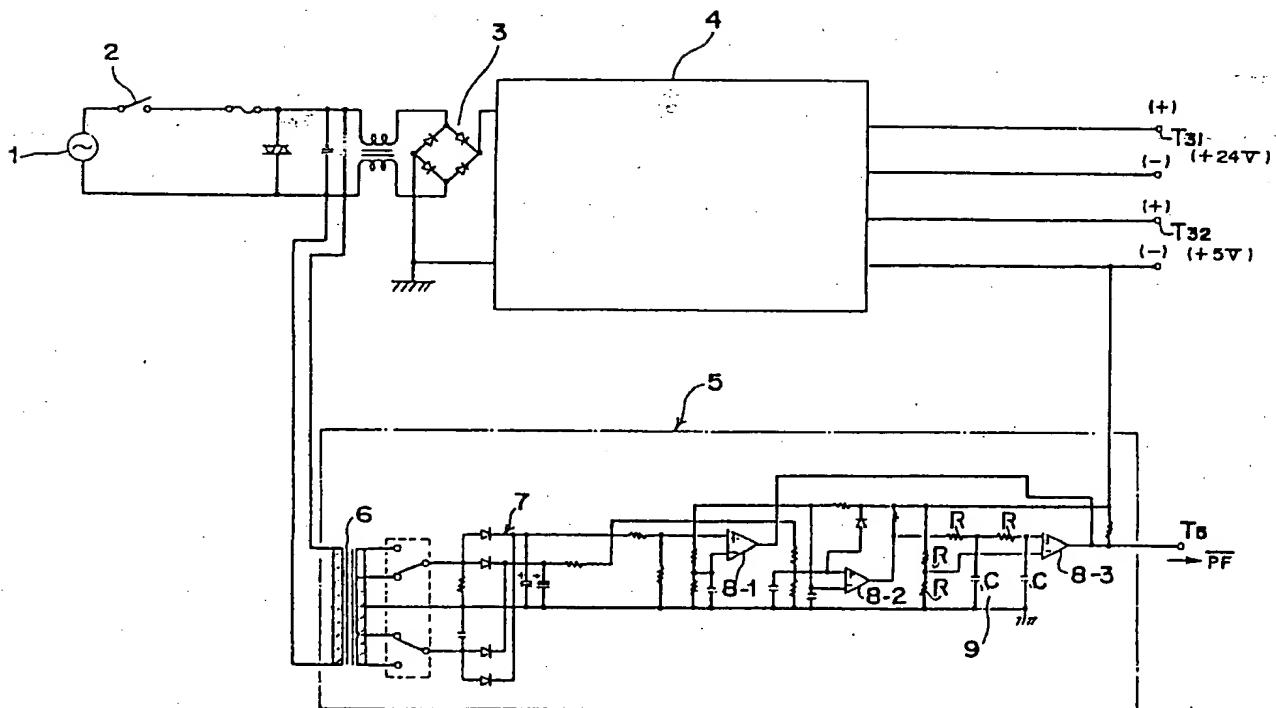
第2図



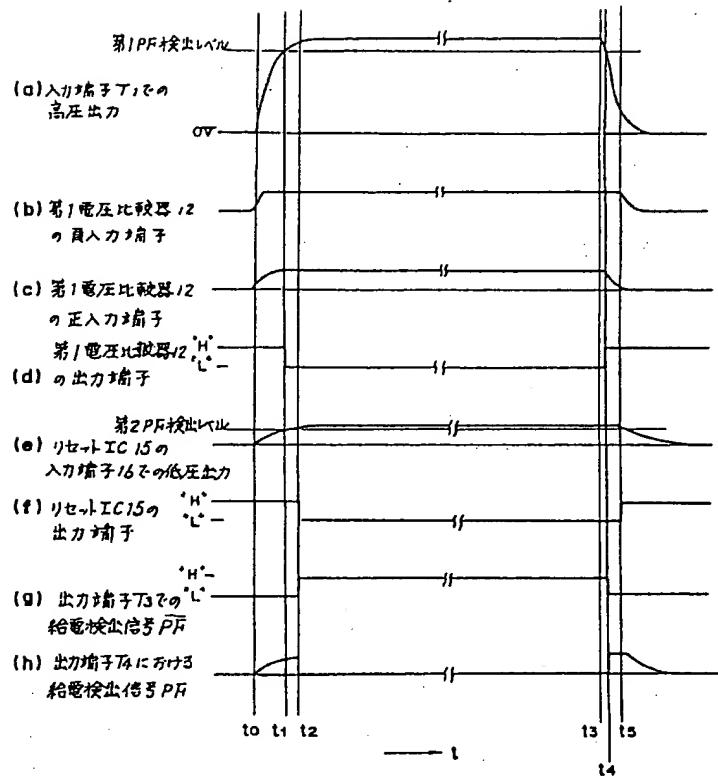
第3図



第1図



第4図



第5図

